

(19) KOREA INTELLECTUAL PROPERTY OFFICE(KR)
(12) OFFICIAL GAZETTE OF INTERNATIONAL APPLICATION(A)

(51) \circ Int. Cl. ⁶
H01L 29/76

(11) Publication No.: Patent 1995-7004816
(43) Publication Date: Nov. 20, 1995

(21) Application No. Patent 1995-7002372
(22) Filing Date: June 10, 1995
Submission Date of Translation: June 10, 1995

(86) Intl. Appln. No. PCT/US93/11116 (87) Intl. Pub. No.: WO 94/014198
(86) International Filing Date: November 16, 1993 (87) Intl. Pub. Date: June 23, 1994

(81) Designated States European Patent: AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE
OAPI Patent: BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG
National Patent: AT, AU, BB, BG, BR, BY, CA, CH, CZ, DE, DK, ES, FI, GB, HU, JP, KP, KR, KZ, LK, LU, MG, MN, MW, NL, NO, NZ, PL, PT, RO, RU, SD, SE, SK, UA, UZ, VN

(30) Priority Data 07/989,080(Dec. 11, 1992) US

(71) Applicant INTEL CORPORATION
2200 Mission College Boulevard, Santa Clara, CA 95052(US)

(72) Inventor Robert S. Chau
13525 S.W. Harness Lane, Beaverton, OR 97005(US)
David B. Fraser
38 Cameron Court, Danville, CA 94506 (US)
Kenneth C. Cadien
12900 N.W. Creekside Drive, Portland, OR 97229 (US)
Gopal Raghavan
221 East Street #7, Mountain View, CA 97043 (US)
Leopoldo D. Yau
3539 NW Bronson Crest Loop, Portland, OR 97229 (US)

(74) Agent(s) Yong Shik JANG, Jin Sang JUNG

(54) Title: A MOS TRANSISTOR HAVING A COMPOSITE GATE ELECTRODE AND METHOD OF FABRICATION

ABSTRACT

A novel, reliable, high performance MOS transistor (300) with a composite gate electrode which is compatible with standard CMOS fabrication processes. The composite gate electrode comprises a polysilicon layer (302) formed on a highly conductive layer (304). The composite gate electrode is formed on a gate insulating layer (301) which is formed on a silicon substrate (308). A pair of source/drain regions (310a, 310b) are formed in the substrate and are self-aligned to the outside edges of the composite gate electrode.

(19) 대한민국특허청(KR)
(12) 국제특허출원의 출원공개공보(A)

(51) Int. Cl. [•] H01L 29/76	(11) 공개번호 (43) 공개일자	특1995-7004816 1995년11월20일
(21) 출원번호 (22) 출원일자 번역문제출일자 (86) 국제출원번호 (86) 국제출원출원일자 (81) 지정국	특1995-7002372 1995년 06월 10일 1995년 06월 10일 PCT/US 93/011116 1993년 11월 16일 EP 유럽특허 : 오스트리아 벨지움 스위스 리히텐슈타인 독일 덴마크 스페인 프랑스 그리스 영국 아일랜드 이태리 룩셈부르크 모나코 네 덜란드 포르투갈 스웨덴 OA OAPI특허 : 베냉 부르키나파소 카메룬 중앙아프리카공화국 차드 콩 고 가봉 말리 모리타니아 니제르 세네갈 토고 국내특허 : 오스트리아 호주 바베이도스 불가리아 브라질 벨라루스 캐나다 스위스 리히텐슈타인 체코 독일 덴마크 스페인 핀란드 영국 헝가리 일본 북한 대한민국 카자흐스탄 스리랑카 룩셈부르크 마다가 스카르 몽고 말라위 네덜란드 노르웨이 뉴질랜드 폴란드 포르투갈 루마니아 러시아연방 수단 스웨덴 슬로바키아 우크라이나 미국 베트 남 우즈베키스탄	(87) 국제공개번호 (87) 국제공개일자 W0 94/014198 1994년 06월 23일
(30) 우선권주장 (71) 출원인 (72) 발명자	07/989080 1992년 12월 11일 미국(US) 인텔 코퍼레이션 카알 실버맨 미합중국 캘리포니아 95052 산타 클라라 미션 할리지 볼러바드 2200 로버트 에스. 차우 미합중국 오리건 97005 비버튼 사우스웨스트 하네스 레인 13525 데이비드 비. 프레이저 미합중국 캘리포니아 94506 먼빌 카메론 코트 38 케네쓰 씨. 카딘 미합중국 오리건 97229 포트랜드 노오스웨스트 크릭사이드 드라이브 12900 고팔 라그하반 미합중국 캘리포니아 94043 마운틴 뷰 이스트 스트리트 #7 221 레오폴도 디. 아우 미합중국 오리건 97229 포트랜드 노오스웨스트 브론슨 크레스트 루프 3539 장용식, 정진상	
(74) 대리인		

심사청구 : 없음

(54) 복합 게이트 전극을 갖는 MOS 트랜지스터 및 그 제조방법(A MOS TRANSISTOR HAVING A COMPOSITE GATE ELECTRODE AND METHOD OF FABRICATION)

요약

표준 CMOS 제조 프로세스로써 양립할 수 있는 복합 게이트 전극을 가진 새롭고, 신뢰성있는 고성능의 MOS 트랜지스터(300). 복합 게이트 전극은 고도전층(304) 상에 형성된 폴리실리콘 층(302)으로 이루어진다. 복합 게이트 전극은 실리콘 기판(308) 상에 형성된 게이트 절연층(301) 상에 형성된다. 한쌍의 소스/드레인 영역(310a, 310b)이 기판에 형성되며 복합 게이트 전극의 외측 단부에 자기정렬된다.

도면

도 1

명세서

[발명의 명칭]

복합 게이트 전극을 갖는 MOS 트랜지스터 및 그 제조방법(A MOS TRANSISTOR HAVING A COMPOSITE GATE ELECTRODE AND METHOD OF FABRICATION)

[도면의 간단한 설명]

제1도는 스탠다드 폴리실리콘 게이트 전극을 구비한 LDD MOS 트랜지스터의 단면도, 제2도는 금속 게이트 전극을 구비한 MOS 트랜지스터의 단면도, 제3도는 복합(composite) 게이트 전극을 구비한 LDD MOSFET의 단면도, 제4a도는 실리콘 기판상에 형성된 산화물 층, 도전층, 폴리실리콘 층 및 포토레지스트 층을 갖는 실리콘 기판의 단면도, 제4b도는 제4a도의 기판상에 복합 게이트 전극의 형성을 도시하는 단면도, 제4c도는 제4b도의 기판에 한쌍의 LDD 영역의 형성을 도시하는 단면도, 제4d도는 제4c도의 기판 전체에 걸쳐 컨포멀(共形)규소 질화물 층 혹은 산화물 층의 형성을 도시하는 단면도, 제4e는 제4d도의 기판에 한쌍의 소스/드레인 영역의 형성 및 한쌍의 스페이서의 형성을 도시하는 단면도, 제4f도는 제4e도의 기판 전체에 걸쳐 금속층의 형성을 도시하는 단면도, 제4g도는 제4f도의 기판상의 소스/드레인 영역 및 폴리실리콘 층상에 규화물 영역의 형성을 도시하는 단면도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1. 제1도전형의 기판상에 형성된 게이트 절연층; 상기 게이트 절연층상에 형성된 도전층과 상기 도전층상에 형성된 폴리실리콘 층으로 이루어지고 상기 폴리실리콘 층 및 상기 도전층은 거의 동일한 길이 및 폭을 갖는 복합 게이트 전극; 및 상기 복합 게이트 전극의 외측단부와 정렬하여 상기 기판에 형성된 제2도전형의 한쌍의 소스/드레인 영역으로 구성되는 것을 특징으로 하는 제1도전형의 상기 기판상에 형성된 금속 산화물 반도체 전계 효과 트랜지스터.

청구항 2. 제1항에 있어서, 상기 도전층은 TiN, W 및 다결정 탄소로 이루어지는 군으로부터 선택되는 것을 특징으로 하는 금속 산화물 반도체 전계 효과 트랜지스터.

청구항 3. 제1항에 있어서, 상기 도전층은 금속 규화물인 것을 특징으로 하는 금속 산화물 반도체 전계 효과 트랜지스터.

청구항 4. 제1도전형의 기판상에 형성된 게이트 절연층; 상기 게이트 절연층상에 형성된 도전층; 상기 도전층상에 형성된 폴리실리콘 층으로 이루어지고, 상기 폴리실리콘 층 및 상기 도전층은 거의 동일한 길이 및 폭을 갖는 복합 게이트 전극의 폭을 따라 횡방향에서 대향하는 측벽들을 상기 복합 게이트 전극; 상기 복합 게이트 전극의 상기 횡방향에서 대향하는 측벽들과 정렬하여 상기 기판상에 형성된 제2도전형의 제1농도로 된 한쌍의 저농도 도우프된 드레인 영역; 상기 복합 게이트 전극의 횡방향에서 대향하는 측벽들과 인접하여 형성된 한쌍의 스페이서; 상기 제2도전형의 제2농도로 된 한쌍의 소스/드레인 영역으로 구성되며 여기서 상기 제2농도는 상기 제1농도보다 고농도이고, 상기 소스/드레인 영역은 상기 스페이서의 외측단부와 정렬하여 상기 기판에 형성된 것을 특징으로 하는 제1도전형의 기판상에 형성된 저농도 도우프된 드레인 금속 산화물 반도체 트랜지스터.

청구항 5. 제4항에 있어서, 상기 도전층은 TiN, W 및 다결정 탄소로 이루어지는 군으로부터 형성되는 것을 특징으로 하는 저농도 도우프된 드레인 금속 산화물 반도체 트랜지스터.

청구항 6. 제4항에 있어서, 상기 스페이서는 규소 질화물인 것을 특징으로 하는 저농도 도우프된 드레인 금속 산화물 반도체 트랜지스터.

청구항 7. 제4항에 있어서, 상기 도전층의 두께는 약 500Å이고, 상기 폴리실리콘 층의 두께는 약 3500Å인 것을 특징으로 하는 저농도 도우프된 드레인 금속 산화물 반도체 트랜지스터.

청구항 8. 제4항에 있어서, 상기 제1도전형은 p형 도전형이고 상기 제2도전형은 n형 도전형인 것을 특징으로 하는 저농도 도우프된 드레인 금속 산화물 반도체 트랜지스터.

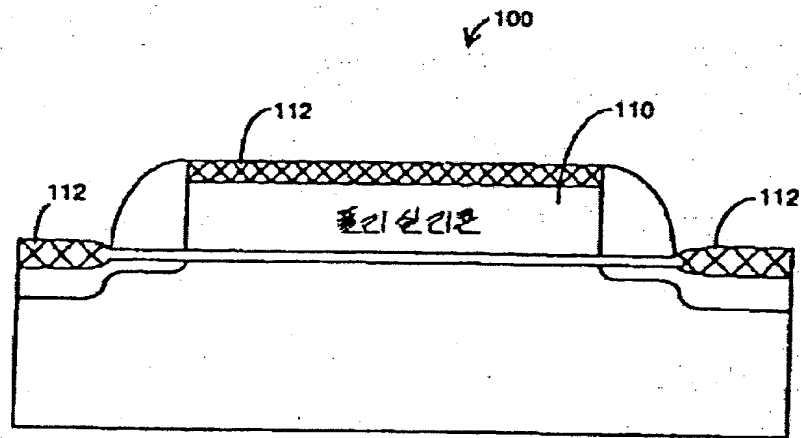
청구항 9. 제4항에 있어서, 상기 폴리실리콘 층 및 상기 소스/드레인 영역상에 형성된 규화물을 더 포함하는 것을 특징으로 하는 저농도 도우프된 드레인 금속 산화물 반도체 트랜지스터.

청구항 10. 제4항에 있어서, 상기 도전층은 금속 규화물인 것을 특징으로 하는 저농도 도우프된 드레인 금속 산화물 반도체 트랜지스터.

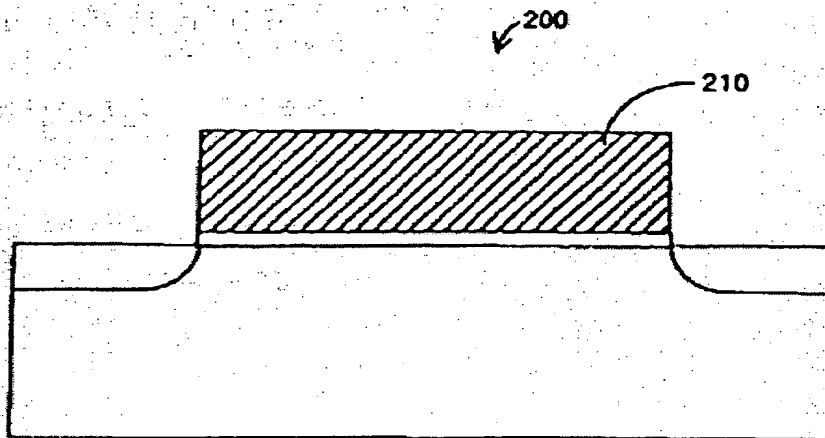
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

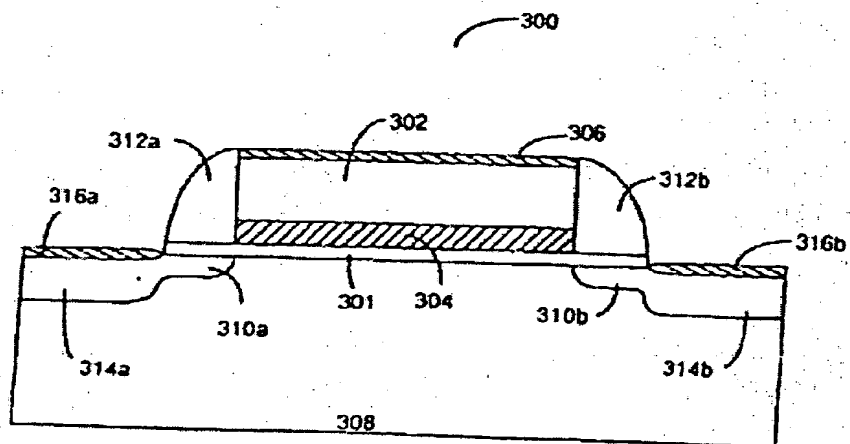
도면1



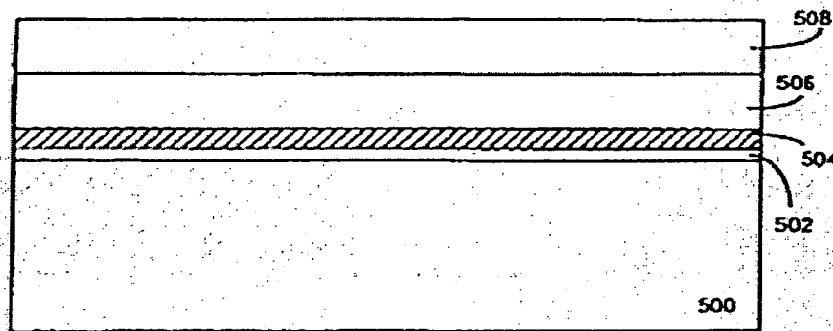
도면2



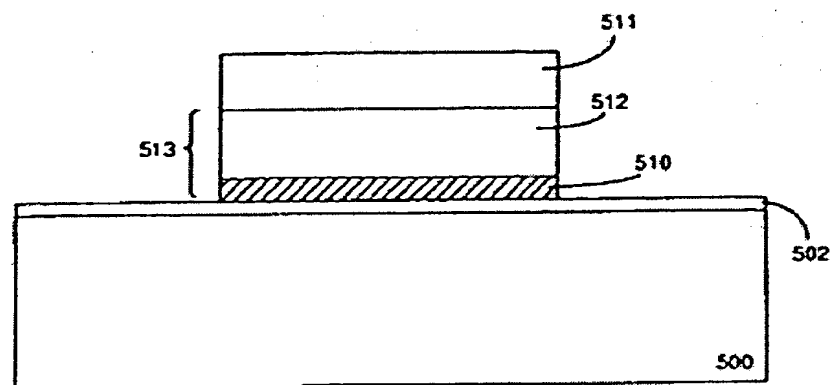
도면3



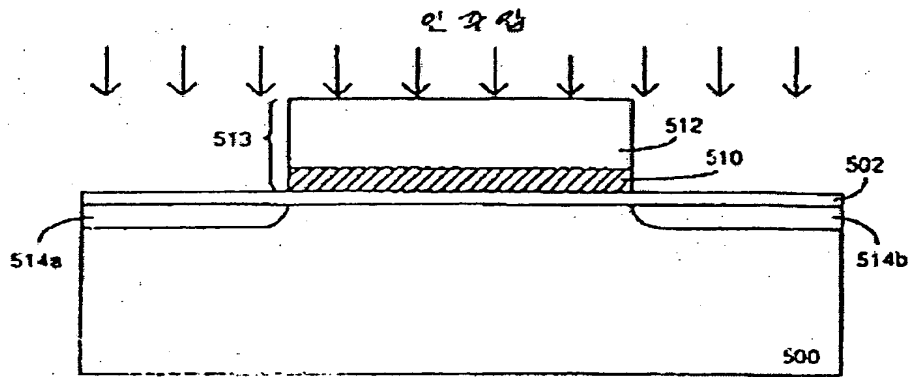
도면4a



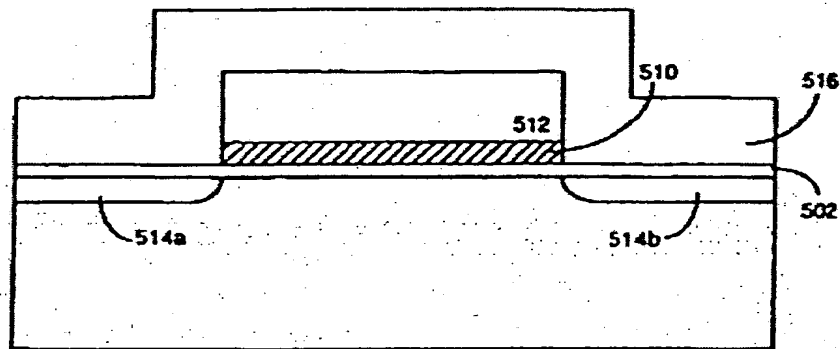
도면4b



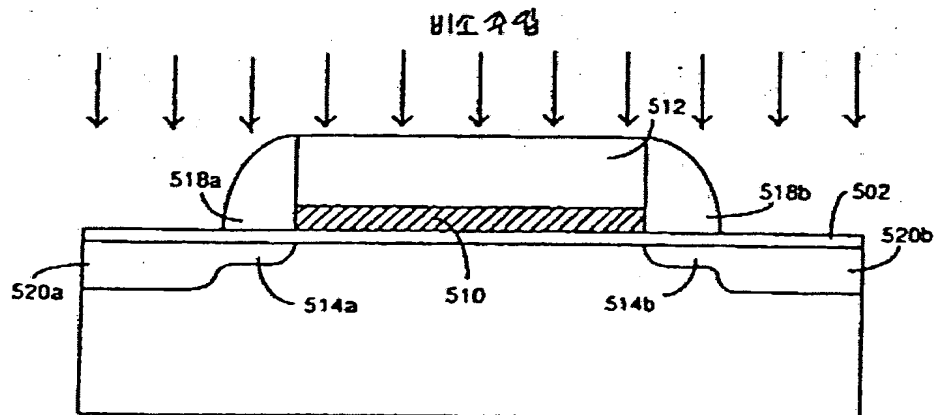
도면4c



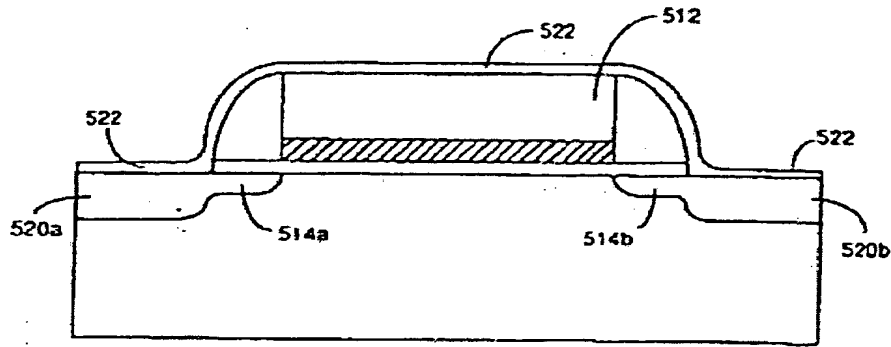
도면4d



도면4e



도면4f



도면4g

